

ERROR CORRECTION CODER

Patent Number: **JP63180222**
Publication date: **1988-07-25**
Inventor(s): **NAKAJIMA KOICHI**
Applicant(s): **MITSUBISHI ELECTRIC CORP**
Requested Patent: [JP63180222](#)

Application Number: **JP19870011687 19870121**

Priority Number(s):

IPC Classification: **H03M13/22**

EC Classification:

Equivalents:

Abstract

PURPOSE: To improve the correcting capability by executing random error correction coding, interleaving and burst error correction coding sequentially.

CONSTITUTION: A random error correction coding section 1 applies random error correction coding to an error correction object data 5 to form a coded data 6 with a random error correction data added and applies the result to a 3-phase interleaver 2. The interleaver 2 divides the code into three at a prescribed interval, samples sequentially the obtained data from the head to form a coded data 7 and the result is inputted to a burst error correction coding section 3. The coding section 3 applies the burst error correction coding to the data 7 to add the burst error correction data and the transmission object data 8 is fed to a transmission section 4. The transmission section 4 modulates the input data to output a transmission line transmission data 9. Thus, the correction capability is improved remarkably.

Data supplied from the [esp@cenet](#) database - I2

⑪ 公開特許公報 (A)

昭63-180222

⑤ Int. Cl. 4
H 03 M 13/22識別記号 厅内整理番号
6832-5J

⑩ 公開 昭和63年(1988)7月25日

審査請求 未請求 発明の数 1 (全6頁)

⑪ 発明の名称 誤り訂正符号化器

⑩ 特 願 昭62-11687
⑩ 出 願 昭62(1987)1月21日⑪ 発明者 中島 宏一 東京都千代田区丸の内2丁目2番3号 三菱電機株式会社
内
⑩ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号
⑩ 代理人 弁理士 大岩 増雄 外2名

明細書

1. 発明の名称

誤り訂正符号化器

2. 特許請求の範囲

ディジタル通信の伝送路誤りを訂正するために、誤り訂正対象データを所定の規則に従って符号化する誤り訂正符号化器において、前記誤り訂正対象データに対してランダム誤りの訂正符号化を行う第1の誤り訂正符号化部と、この第1の誤り訂正符号化部の出力データのデータ列を並べ替えるインタリーバと、このインタリーバの出力データに対してバースト誤りの訂正符号化を行う第2の誤り訂正符号化部とを備えたことを特徴とする誤り訂正符号化器。

3. 発明の詳細な説明

【産業上の利用分野】

この発明は、ディジタル通信の伝送路誤りを訂正するために、誤り訂正対象データを所定の規則に従つて符号化する誤り訂正符号化器に関するものである。

【従来の技術】

ディジタル通信においてデータの冗長性が小さい場合には、1ビットの誤りでも通信の障害になることがある。この誤りを訂正するものとして、送信側に誤り訂正符号化器を設けて送信データに、これを検査する誤り訂正データを付加して送信し、受信側に誤り訂正復号化器を設け、この誤り訂正データを用いて送信データの伝送路誤りを訂正する方法がある。

上述した伝送路誤りとしては、データのところどころのビットにランダムに誤りを生じるランダム誤りと、データの一部分が数ビット連続して誤りとなるバースト誤りとがあるが、実際の伝送路においては、後者のバースト誤りがより多く発生すると考えられている。

第5図は従来の誤り訂正符号化器の構成を示すプロック図、第6図はその動作を説明するためのデータフォーマットである。これら各図において、誤り訂正対象データ(5)がバースト誤り訂正符号化部(3)に入力されると、ここで誤り訂正の

ためのバースト誤り訂正データ(11)が付加されて送信対象データ(8)として出力される。この送信対象データ(8)は送信部(4)によって変調され、伝送路送信データ(9)となる。

【発明が解決しようとする問題点】

上述したバースト誤り訂正符号化部(3)は、例えば、シフトレジスタまたはD型フリップフロップ(以下DFFと言ふ)、排他的論理回路(以下Ex-ORと言ふ)およびスイッチ等で構成され、このうちDFFの個数によって誤りが連続するビット数に限度があり、この数を超えて誤りが連続すると、その誤り訂正ができなくなると言う問題点があった。

この発明は上記の問題点を解決するためになされたもので、レジストまたはDFFの個数が少なくとも、ビット数の多いバースト誤りを容易に訂正することのできる、訂正能力の高い誤り訂正符号化器の提供を目的とする。

【問題点を解決するための手段】

この発明に係る誤り訂正符号化器は、誤り訂正

対象データに対してランダム誤りの訂正符号化を行なう第1の誤り訂正符号化部と、この第1の誤り訂正符号化部の出力データのデータ列を並べ変えるインタリーバと、このインタリーバの出力データに対してバースト誤りの訂正符号化を行なう第2の誤り訂正符号化部とを備えたものである。

【作用】

この発明においては、第1の誤り訂正符号化部でランダム誤りの訂正符号化を行うことによって誤り訂正対象データにランダム誤り訂正データを付加したデータを作り、次いで、このデータをインタリーバによってデータ列を並べ変え、さらに、並べ変えたデータに対して第2の誤り訂正符号化部がバースト誤りの訂正符号化を行なってバースト誤り訂正データを付加する。このようにすれば、誤り訂正対象データにビット数の多いバースト誤りが生じてもデータの並べ変えによって復号化の段階でビット数の少ないバースト誤りを訂正すればよく、これによって誤り訂正能力を格段に向上させることができる。

【実施例】

第1図はこの発明の一実施例の構成を示すブロック図であり、従来装置を示す第5図と同一の符号を付したものはそれぞれ同一の要素を示している。そしてバースト誤り訂正符号化部(3)の前段に、誤り訂正対象データ(5)を入力してランダム誤り符号化を行なうランダム誤り訂正符号化部(1)と、このランダム誤り訂正符号化部(1)から出力される符号化データ(6)を3相のデータ列に並べ変えて、符号化データ(7)をバースト誤り訂正符号化部(3)に入力する3相インタリーバ(2)とを設けた点が第5図と異なっている。

上記のように構成された誤り訂正符号化器の動作を第2図(a),(b)に示したデータフォーマットをも参照して説明する。

まず、ランダム誤り訂正符号化部(1)は、誤り訂正対象データ(5)に対してランダム誤り訂正符号化を行なって、第2図(a)に示すように、ランダム誤り訂正データ(10)を付加した符号化データ(7)を作り、3相インタリーバ(2)に加える。3

相インタリーバ(2)は一定の間隔で3分割すると共に、得られたデータを先頭から順次サンプリングすることにより符号化データ(7)を作り、バースト誤り訂正符号化部(3)に入力する。このバースト誤り訂正符号化部(3)は符号化データ(7)に対してバースト誤り訂正符号化を行なって、第2図(b)に示すように、バースト誤り訂正データ(11)を付加して送信対象データ(8)を送信部(4)に加える。送信部(4)では前述したように、入力データを変調して伝送路送信データ(9)を出力する。

第4図はランダム誤り訂正符号化部(1)の詳細な構成を示すもので、並列配置されたDFF(11)～(17)のうち、DFF(11),(12),(13),(14)の間にEx-OR(21),(22),(23)が、DFF(15),(16)の間にEx-OR(24)が、DFF(17)の出力回路にEx-OR(25)がそれぞれ挿入されており、さらに、Ex-OR(25)の出力端がスイッチS2を介してDFF(11)の入力端とEx-OR(21)～(24)の残り入力端とにそれぞれ接続され、切換スイッチS1の一方の切換端子aがEx-OR(25)の出力端に、他方の切換端子bが

ER-08(25) の残りの入力端子にそれぞれ接続されており、切換スイッチ S1 の他方の切換端子に入力データを加え、切換スイッチ S1 の共通端子にからデータを取出すようになっており、これらが次式の計算回路を形成している。

$$G(x) = x^7 + x^5 + x^3 + x^2 + x + 1 \dots (1)$$

この第 3 図において、誤り訂正対象データ(7)の入力中に、切換スイッチ S1 が端子 a 側に接続されると共に、スイッチ S2 が閉成されることにより、誤り訂正対象データ(5) がそのまま出力される。この誤り訂正対象データ(5) の入力が終了した段階で切換スイッチ S1 を端子 b 側に接続すると共に、スイッチ S2 を開放すると(1) 式の生成多項式 $G(x)$ の演算結果がランダム誤り訂正データとして出力される。

次に、第 4 図は 3 相インタリーバ(2) の詳細な構成例であり、符号化データ(6) を記憶するためにメモリ #1, #2, #3 を有する記憶部(31) と、その書き込みアドレスを指定する書き込みカウンタ (以下 WR カウンタと音う) (32) と、その書き込み

アドレスを指定する読み出しカウンタ (以下 RD カウンタと音う) (33) と、これらを制御するメモリ制御部(34)とを備えている。この 3 相インタリーバ(2) は上述したように入力データの並び方をある規則に従って変換するものであり、その方法としては、データ書き込み側およびデータ読み出し側のどちらでも可能であるが、読み出し側で操作する場合の具体的な動作を以下に説明する。

まず、書き込み側では、最初から n 番目までに入力されるデータ 1 ~ データ n をメモリ #1 のアドレス 1 ~ アドレス n に書き込み、続いて、n+1 番目から 2n 番目までに入力されるデータ (n+1)+1 ~ データ (2n) をメモリ #2 のアドレス 1 ~ アドレス n に書き込み、さらに、(2n+1) 番目から (3n) 番目までに入力されるデータ (2n+1) ~ データ (3n) をメモリ #3 のアドレス 1 ~ アドレス n に書き込む。

次に、読み出し側では、メモリ #1 のアドレス 1, メモリ #2 のアドレス 1, メモリ #3 のアドレス 1 の順にデータを読み出し、続いて、メモリ #1 のアドレス 2, メモリ #2 のアドレス 2, メモリ #3 のアドレス 2 の順にデータを読み出すようにする。

リ #3 のアドレス 2 の順にデータを読み出し、さらに、メモリ #1 のアドレス 3, メモリ #2 のアドレス 3, メモリ #3 のアドレス 3 の順にデータを読み出すようにする。

このように、書き込み側と、読み出し側とでメモリをアクセスする手順を変えることにより、容易にデータを並べ変えることができる。なお、メモリ制御部(34)は記憶部(31)のデータ有無を調べたり、WR カウンタ(32)、RD カウンタ(33)のリセットおよび制御等を行う。

一方、バースト誤り訂正符号化部(3) は上記ランダム誤り訂正符号化部(1) とほぼ同じ構成で、生成多項式 $G(x)$ が異なるのみであることから、これに対する詳細な構成説明を省略する。

以上、好適な実施例について説明したが、本発明はこの実施例に限定されるものではなく、例えば、3 相インタリーバの代わりに、4 相あるいは 5 相などの複数相インタリーバを用いても、さらには、ランダム誤り訂正符号化部(3) の機能をマイクロコンピュータに持たせて上述したと同様な

動作を行わせてもよい。

【発明の効果】

以上のように、この発明によれば、ランダム誤り訂正符号化、インタリーブ化およびバースト誤り訂正符号化を順次に実行するように構成したので、従来装置では対処できなかったビット数の多いバースト誤りが生じた場合でも、インタリーブの逆動作であるディンタリーブ化の後、ランダム誤り訂正の符号化により誤り訂正が可能となり、これによって訂正能力を格段に向上させることができる。

4. 図面の簡単な説明

第 1 図はこの発明の一実施例の構成を示すブロック図、第 2 図は同実施例の動作を説明するためのデータフォーマット、第 3 図および第 4 図はそれぞれ同実施例の主要素の詳細な構成を示すブロック図、第 5 図は従来の誤り訂正符号化器の構成を示すブロック図、第 6 図はこの誤り訂正符号化器の動作を説明するためのデータフォーマットである。

図において、

(1) はランダム誤り訂正符号化部、

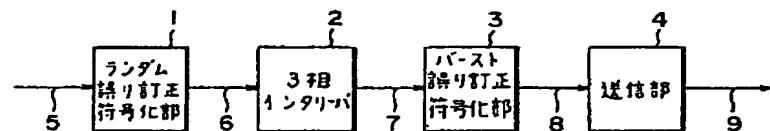
(2) は3相インタリーバ、

(3) はバースト誤り訂正符号化部。

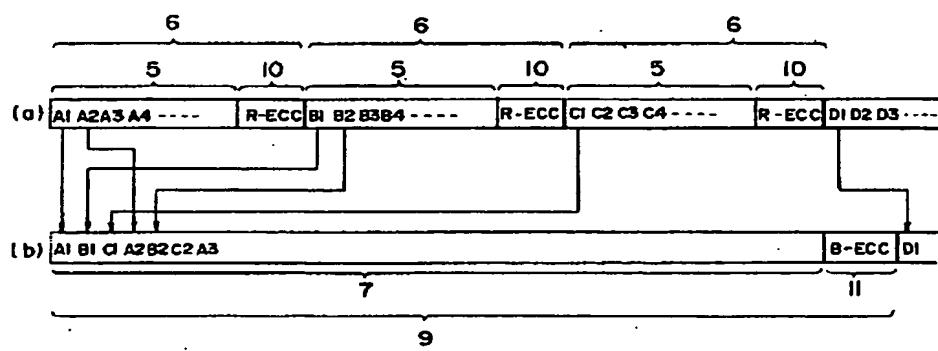
なお、各図中、同一符号は同一又は相当部分を示す。

代理人 大岩 増雄

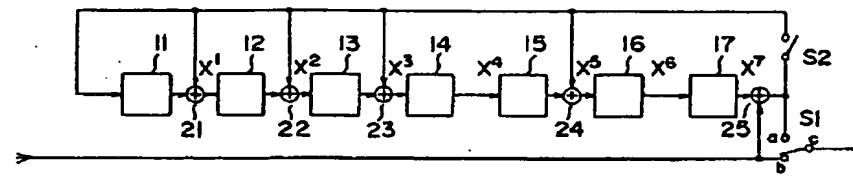
第1図



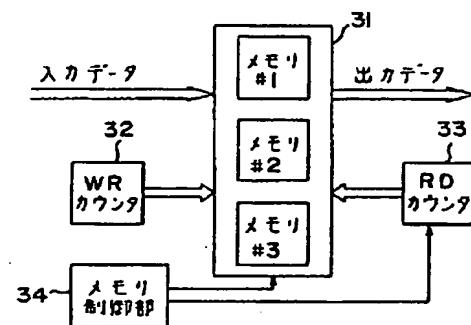
第2図



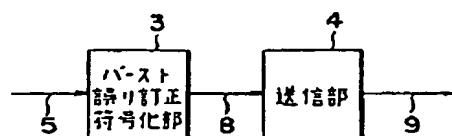
第3回



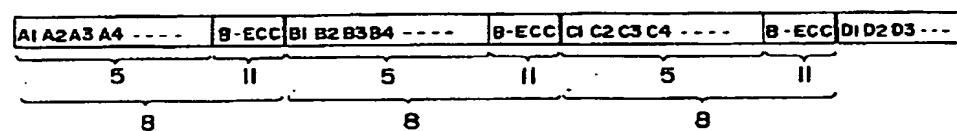
第4回



第5図



第6回



手続補正書(自発)

昭和 62年7月28日

特許庁長官殿

1. 事件の表示

特願昭62-011687号

2. 発明の名称

誤り訂正符号化器

3. 補正をする者

事件との関係 特許出願人
 住 所 東京都千代田区丸の内二丁目2番3号
 名 称 (601)三菱電機株式会社
 代表者 志岐 守哉

4. 代理人

住 所 東京都千代田区丸の内二丁目2番3号
 三菱電機株式会社内

氏 名 (7375)弁理士 大岩 増雄

5. 補正の対象

明細書の発明の詳細な説明の欄。



6. 補正の内容

(1) 明細書第3頁第2行の「送信対象データ(8)」という記載を「送信対象データ(8)」と補正する。

(2) 明細書第3頁第7行～第8行の「シフトレジスタまたはD型フリップフロップ」という記載を「D型フリップフロップ」と補正する。

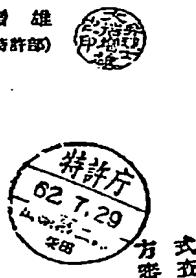
(3) 明細書第3頁第9行～第12行の「構成され、一連続すると、」という記載を次のように補正する。

「構成され、バースト誤り訂正符号の誤り訂正能力を超えるビット誤りが連続すると、」

(4) 明細書第3頁第15行～第16行の「もので、一ビット数」という記載を「もので、ビット数」と補正する。

(5) 明細書第4頁第18行～第19行の「段階でビット数一すればよく、」という記載を次のように補正する。

「段階でバースト誤りをランダム誤りに変換するので、」



(6) 明細書第7頁第8行の「端子a側」という記載を「端子b側」と補正する。

(7) 明細書第7頁第12行の「端子b側」という記載を「端子a側」と補正する。

(8) 明細書第8頁第12行の「データ(n+1)+1～」という記載を「データ(n+1)～」と補正する。

(9) 明細書第10頁第9行の「誤り訂正の符号化」という記載を「誤り訂正の復号化」と補正する。

以上